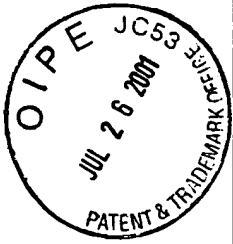


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Applicant(s): Christopher J. de Simone, Lucian M. Hand, Gi Jeong Kim, Seung Mo Kim, Jin An Lee

Assignee: Amkor and ANAM (Jointly)

Title: Nonexposed Heat Sink For Semiconductor Package

Serial No.: 09/513,067

Filing Date: February 24, 2000

Examiner: Chuong A. Luu

Group Art Unit: 2825

Docket No.: AB-928 US

#8 Priority
8/16/01
V. Vannae

San Jose, California
July 26, 2001

COMMISSIONER FOR PATENTS
Washington, D. C. 20231

**SUBMISSION OF CERTIFIED COPY
OF PRIORITY DOCUMENT**

Dear Sir:

Enclosed please find a Certified Copy of the Priority Document to be filed in the above-referenced application in the United States Patent and Trademark Office as follows:

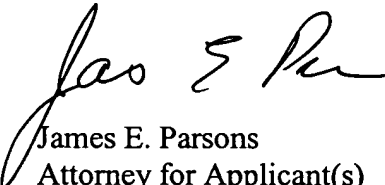
1. Korean Patent Application No. 99-13130 filed April 14, 1999.

Acknowledgment of the receipt of the above-mentioned priority document is hereby requested.

EXPRESS MAIL LABEL NO:

EL 701 023 687 US

Respectfully submitted,


James E. Parsons
Attorney for Applicant(s)
Reg. No. 34,691

LAW OFFICES OF
SKJERVEN MORRILL
MACPHERSON LLP

25 METRO DRIVE
SUITE 700
SAN JOSE, CA 95110
(408) 453-9200
FAX (408) 453-7979



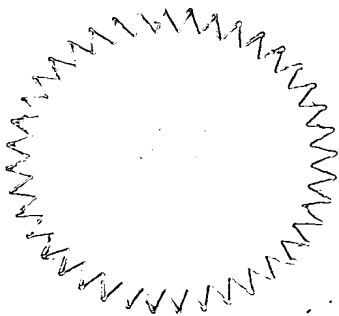
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 1999년 제 13130 호
Application Number

출원년월일 : 1999년 04월 14일
Date of Application

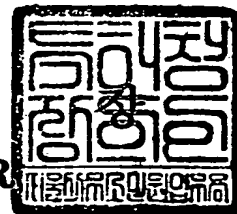
출원인 : 아남반도체 주식회사
Applicant(s)



2000 년 03 월 03 일

특 허 청

COMMISSIONER





919980002604



10111010000000000000

방 식 심 사 관	담 당	심 사 관

【서류명】 출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 2

【제출일자】 1999.04.14

【국제특허분류】 H01L

【발명의 국문명칭】 리드프레임 및 이를 이용한 방열판이 부착된 반도체패키지

【발명의 영문명칭】 lead frame and semi-conductor package attached heat spreader
using the same

【출원인】

【명칭】 아남반도체주식회사

【출원인코드】 1-1998-002671-9

【대리인】

【성명】 서만규

【대리인코드】 9-1998-000260-4

【포괄위임등록번호】 1999-022718-2

【대리인】

【성명】 최용원

【대리인코드】 9-1998-000658-1

【포괄위임등록번호】 1999-022711-1

【발명자】

【성명의 국문표기】 김기정

【성명의 영문표기】 KIM, Ki Jeong

【주민등록번호】 650421-1634911

【우편번호】 471-010

【주소】 경기도 구리시 인창동 인창주공아파트 601-1303

【국적】 KR

【발명자】

【성명의 국문표기】 김승모

【성명의 영문표기】 KIM, Seung Mo

【주민등록번호】 691217-1011614

【우편번호】 138-050

【주소】 서울특별시 송파구 방이동 올림픽아파트 252-2202

【국적】 KR

【발명자】

【성명의 국문표기】 이진안

【성명의 영문표기】 LEE, Jin An

【주민등록번호】 640210-1482917

【우편번호】 471-010

【주소】 경기도 구리시 인창동 인창주공아파트 402-1504

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

서만규 (인)

대리인

최용원 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	3	면	3,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】			32,000	원
------	--	--	--------	---

【첨부서류】 1. 요약서 · 명세서(도면)_1통

【요약서】

【요약】

이 발명은 반도체패키지에 관한 것으로, 보다 상세하게 설명하면 봉지 공정 중 봉지재의 흐름이 원활하고, 제조가 간단한 동시에 열방출률이 우수한 리드프레임 및 이를 이용한 방열판이 부착된 반도체패키지에 관한 것으로, 일정 두께를 갖는 대략 사각판상의 방열판과, 상기 방열판 상면 중앙에 접착제로 접착된 반도체칩과, 상기 반도체칩의 외주연인 방열판 상에 접착제로 접착되어 있되 상기 반도체칩에 가까워짐에 따라 폭은 넓게, 간격은 작게 형성되어 접착된 다수의 인너리드 및 이에 연장된 아우터리드와, 상기 반도체칩과 인너리드를 연결하는 도전성 와이어와, 상기 방열판, 반도체칩, 인너리드 및 도전성 와이어를 봉지재로 봉지하여 형성된 몸체를 포함하여 이루어진 것을 특징으로 함.

【대표도】

도7

【명세서】

【발명의 명칭】

리드프레임 및 이를 이용한 방열판이 부착된 반도체패키지{lead frame and semi-conductor package attached heat spreader using the same}

【도면의 간단한 설명】

도1a는 종래의 리드프레임을 도시한 평면도이고, 도1b는 종래 방열판을 제조하는 방법을 도시한 통상적인 상태도이며, 도1c는 상기 리드프레임 및 이를 이용한 방열판이 부착된 반도체패키지를 도시한 단면도이다.

도2는 본 발명에 의한 리드프레임을 도시한 평면도이다.

도3은 도2의 "A"부를 도시한 확대 평면도이다.

도4는 도2의 "B"부를 도시한 확대 평면도이다.

도5는 도2의 "C"부를 도시한 확대 평면도이다.

도6a 및 도6b는 본 발명에 의한 방열판의 제조 방법을 도시한 상태도이다.

도7은 본 발명에 의한 리드프레임 및 이를 이용한 방열판이 부착된 반도체패키지를 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

100; 본 발명에 의한 리드프레임	2; 공간부
4; 인너리드(inner lead)	6; 가타이바(pseudo-tie bar)
7; 아우터리드(outer lead)	8; 온도금라인
10; 몸체 아웃라인(out line)	12; 봉지제주입영역

14; 에어벤트(air vent)영역

16; 홀(hole)

200; 본 발명에 의한 반도체패키지

22; 방열판

22a; 버(bur)

24; 접착테이프

26; 접착제

28; 반도체칩

30; 도전성 와이어(wire)

32; 몸체

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체패키지에 관한 것으로, 보다 상세하게 설명하면 봉지 공정 중 봉지재의 흐름이 원활하고, 제조가 간단한 동시에 열방출률이 우수한 리드프레임 및 이를 이용한 방열판이 부착된 반도체패키지에 관한 것이다.

통상 반도체패키지용 리드프레임은 구리(Cu), 철(Fe), 구리합금(Cu Alloy) 등의 연속된 금속재 스트립(Strip)을 기계적 스탬핑(Stamping)이나 화학적 에칭(Etching) 방법에 의해 제조한 것으로, 그 역할은 반도체칩과 외부 회로를 연결시켜 주는 전선(Lead) 역할과 반도체패키지를 마더보드(Mother Board)에 고정시켜 주는 버팀대(Frame)의 역할을 동시에 수행하는 것을 말한다.

이러한 종래의 리드프레임(100')은 도1a에 도시된 바와 같이 중앙에 반도체칩이 위치하도록 대략 사각의 공간부(2')가 형성되어 있고, 상기 사각의 공간부(2') 외주연에는 방사상으로 뻗어 있되, 동일한 간격을 갖는 다수의 인너리드(4')가 형성되어 있고, 상기 각각의 인너리드(4')에 연장되어서는

아우터리드(7')가 형성되어 있다. 상기 인너리드(4')와 아우터리드(7')의 경계부분에는 차후 봉지 공정중 봉지재가 외측으로 노출되지 않도록 하는 동시에 다수의 인너리드(4') 및 아우터리드(7')를 지지해주는 댐바(5')가 형성되어 있다. 또한 상기 공간부(2')의 사각 모서리부분에는 외측으로 연장되어 가타이바(6')가 형성되어 있으며, 이는 공간부(2')에 칩탑재판이 형성될 경우 칩탑재판을 연결하여 지지하는 타이바의 역할을 하기도 한다. 여기서 상기 가타이바(6')는 제거하여 공간으로 남기거나 또는 인너리드(4')로 활용할 수도 있다.

도면중 미설명 부호 12'는 사각 공간부(2') 외측에 위치한 어느 하나의 인너리드(4')(또는 가타이바)를 따라서 봉지재가 흘러들어가는 봉지재주입영역이다.

한편, 도1b는 종래의 방열판(22')의 제조 방법을 도시한 상태도로서, 도시된 바와 같이 대략 직사각형 모양의 금속재 스트립(40')에 "ㄷ"자형의 1차 관통공(41') 및 2차 관통공(42')을 상호 대향하여 스탬핑함으로써, 그 사이에 소정의 지지바(44')가 남도록 한다. 이와 같이 하는 이유는 상기 금속재 스트립(40')의 두께(대략 1mm 이상)가 비교적 두껍기 때문에 한번의 스탬핑 공정으로는 방열판(22')을 완전히 컷팅할 수 없으며, 또한 컷팅한다 하여도 방열판(22')이 휘어진채 컷팅되어 후공정이 더 필요해지기 때문이다. 이 상태에서 마지막으로 상기 지지바(44')를 컷팅함으로써 소정의 돌출부(23')를 갖는 대략 정사각형 모양의 방열판(22')을 형성하게 된다. 한편, 상기와 같이 컷팅된 방열판(22')은 통상 반도체 칩이 접착되는 면 및 봉지재와 접하는 부분의 접착력을 향상시키기 위해 흑화(black oxidation)처리하고, 또한 차후 설명할 몸체 외부로 노출될 면은 차후

마킹(marking) 공정이 용이하게 실시되고 공기중 산화되지 않도록 니켈(Ni)로 코팅하는 동시에 샌스블라스트(sand blast) 처리하여 표면이 매끄럽게 되도록 한다.

상기와 같은 리드프레임(100') 및 이를 이용한 방열판(22')이 부착된 반도체 패키지(200')의 통상적인 상태를 도1c에 도시하였다.

도시된 바와 같이 전술한 일정 두께의 방열판(22')이 중앙부에 위치되어 있고, 그 상면에는 각종 회로가 집적된 반도체칩(28')이 접착제(26')로 접착되어 있다. 상기 반도체칩(28')의 외주연인 방열판(22') 상면에는 접착테이프(24')가 부착되어 있으며, 상기 접착테이프(24') 상면에는 다수의 인너리드(4')를 포함하는 전술한 리드프레임(100')이 접착되어 있다. 상기 리드프레임(100')의 인너리드(4')와 반도체칩(28')은 도전성 와이어(30')로 연결됨으로써, 반도체칩(28')의 신호가 도전성 와이어(30') 및 인너리드(4') 등을 통하여 외부로 교신될 수 있도록 되어 있다. 한편, 상기 반도체칩(28'), 인너리드(4') 및 방열판(22')은 금형의 몰드 캐비티(mold cavity) 내에 안착된 채 봉지재가 주입됨으로써, 그 반도체칩(28'), 인너리드(4') 및 방열판(22')의 외주연에는 그것들을 외부환경으로부터 보호하도록 몸체(32')가 형성되어 있다. 여기서, 상기 방열판(22')의 하면은 그 열방출 효율을 증가시키기 위해 몸체(32')의 저면을 향하여 노출되어 있다.

한편, 상기와는 다르게 칩탑재판이 구비된 리드프레임을 이용할 경우에는 상기 칩탑재판에 반도체칩을 접착하고, 몰드 캐비티내에 미리 방열판을 안착시켜 놓은 후 봉지재의 압력과 접착력을 이용하여 상기 칩탑재판에 방열판을 부착하여 제조하는 형태의 반도체패키지도 있다. 이런 경우에도 상기 방열판의 일측면(하면)은

몸체 외측으로 노출되도록 제조한다.

그러나, 전술한 종래의 리드프레임은 봉지재주입영역내의 인너리드 및 공간 부 외주연에 위치하는 인너리드 상호간의 간격이 모두 일률적이고 획일적으로 동일하게 형성됨으로써, 봉지 공정중에 봉지재의 흐름이 불완전하고 와류가 발생되어 몸체내에 보이드(void)가 생기거나 불완전한 성형이 되는 문제점이 있다.

또한, 종래의 방열판은 두께가 두꺼움으로써 다수회의 기계적 스탬핑 방법에 의해 커팅하여야만 하는 문제점이 있으며, 반도체칩 및 봉지재가 접하는 부분은 그 접착력 향상을 위해 흑화처리하고, 또한 외부로 노출되는 면은 마킹 공정을 용이하게 하고 산화를 방지하기 위해 니켈 코팅 및 샌드블라스트 처리를 하여야만 하는 복잡한 처리 공정을 갖는 문제점이 있다. 더불어 상기 방열판의 외주연에는 외부로 돌출된 돌출부가 남아 있음으로써, 봉지 공정시 봉지재의 와류 현상을 더 크게 유발하여 보이드나 계면박리를 발생시키기도 하는 문제점이 있다.

한편, 상기한 방열판, 리드프레임 등을 포함하는 반도체패키지는 통상 방열판의 두께가 리드프레임의 두께에 비하여 두꺼움으로써 그 무게로 인하여 제조 공정중 특히 리드프레임의 이송중 리드프레임의 인너리드가 하부로 처짐으로써, 인너리드가 휘어져 서로 쇼트되거나 또는 반도체칩과 인너리드 사이의 와이어본딩이 불완전하게 되는 문제점이 있다.

더불어, 열방출률을 향상시키기 위해 방열판의 저면을 몸체의 외부로 노출시켜야 함으로써, 봉지를 위한 금형의 구조가 복잡해지고, 또한 봉지 공정이 완료된 후 상기 외부로 노출된 방열판의 표면에 묻어 있는 봉지재의 찌꺼기를 제거해 주어

야 하는 디플래시(deflash) 공정이 추가로 필요한 문제점도 있다.

【발명이 이루고자 하는 기술적 과제】

따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 리드프레임의 인너리드 상호간의 간격을 적절히 조절하여 봉지재가 원활히 흐르도록 함으로써 몸체내에 보이드 및 불완전 성형 현상을 제거할 수 있는 리드프레임을 제공하는데 있다.

본 발명의 다른 목적은 방열판을 한번의 스탬핑 동작에 의해 그 외형을 얻고 또한 한번의 흑화 처리만을 함으로써 간단한 제조 공정으로 방열판을 제조할 수 있을 뿐만 아니라 봉지 공정시 봉지재의 와류 현상도 제거할 수 있는 방열판이 부착된 반도체패키지를 제공하는데 있다.

본 발명의 또 다른 목적은 방열판에 의한 방열 효과를 종래와 같이 동일하게 유지하면서도, 그 두께는 종래에 비해 얇고 무게도 종래에 비해 작게 함으로써, 상기 방열판의 무게에 의한 제조 공정중 인너리드의 휨 현상을 억제하고, 또한 그 방열판 전체가 몸체내에 내재하도록 봉지함으로써 제조 공정이 간단한 방열판이 부착된 반도체패키지를 제공하는데 있다.

【발명의 구성 및 작용】

상기한 목적을 달성하기 위해 본 발명에 의한 리드프레임은 반도체칩이 위치되도록 중앙에는 대략 사각 형태의 공간부가 구비되고, 상기 공간부의 둘레와 대략 사각의 몸체 아웃라인 내측에는 다수의 인너리드가 방사상으로 뻗어 위치한 리드프레임에 있어서, 상기 인너리드의 폭은 몸체 아웃라인쪽에서 공간부쪽으로 가까워짐

에 따라 점차 넓게 형성되고, 상기 다수의 인너리드 사이의 간격은 몸체 아웃라인 쪽에서 공간부쪽으로 가까워짐에 따라 점차 작게 형성되며, 상기 공간부의 일측 모서리부분과 이에 대응하는 몸체 아웃라인의 모서리 부분 사이에는 봉지재가 용이하게 주입되도록 상기 인너리드 사이의 간격보다 더 큰 간격을 갖는 봉지재주입영역이 형성된 것을 특징으로 한다.

여기서, 상기 봉지재주입영역의 간격은 봉지재가 용이하게 흘러갈 수 있도록 몸체 아웃라인쪽에서 공간부쪽으로 갈수록 점차 작아지게 형성함이 바람직하다.

또한, 상기 인너리드의 폭은 인너리드 두께와 약 70%보다는 크게 형성함이 바람직하다.

또한 상기한 목적을 달성하기 위해 본 발명에 의한 방열판이 부착된 반도체 패키지는 일정 두께를 갖는 대략 사각판상의 방열판과, 상기 방열판 상면 중앙에 접착제로 접착된 반도체칩과, 상기 반도체칩의 외주연인 방열판 상에 접착제로 접착되어 있되, 상기 반도체칩에 가까워짐에 따라 폭은 넓게, 간격은 작게 형성되어 접착된 다수의 인너리드 및 이에 연장된 아우터리드와, 상기 반도체칩과 인너리드를 연결하는 도전성 와이어와, 상기 방열판, 반도체칩, 인너리드 및 도전성 와이어를 봉지재로 봉지하여 형성된 몸체를 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 방열판은 그 두께가 대략 0.3~1mm가 되도록 하고 또한 표면은 흑화처리함이 바람직하다.

상기와 같이 하여 본 발명에 의한 리드프레임 및 이를 이용한 방열판이 접착된 반도체패키지는 제조 공정에 있어서 리드프레임의 인너리드 폭 및 인너리드 사

이의 간격이 적절히 조절됨으로써 봉지재의 유동성을 양호하게 확보하여 보이드 및 불완전 성형 현상을 제거할 수 있게 된다.

또한, 본 발명의 반도체패키지에 이용된 방열판은 한번의 스탬핑 공정 및 한번의 흑화처리만으로 제조됨으로써, 그 제조가 비교적 간단하고, 더불어 반도체패키지의 제조 공정도 간단해진다.

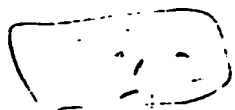
또한, 방열판의 두께가 종래에 비해 얇고 그 무게가 작아서, 제조 공정중 상기 방열판의 상면에 접촉되는 인너리드의 휨 현상이 발생하지 않으며, 봉지재로 형성되는 몸체내에 방열판이 위치됨에도 불구하고 최적의 방열판 두께를 제공함으로써 종래와 같은 열방출 효율은 그대로 유지하게 된다.

이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도2는 본 발명에 의한 리드프레임(100)을 도시한 평면도이고, 도3은 도2의 "A"부를, 도4는 도2의 "B"부를, 도5는 도2의 "C"부를 확대도시한 평면도이다.

여기서 상기 리드프레임(100)의 저면에는 설명의 편의상 접착제 바람직하기로는 접착테이프(24)로 방열판(22)이 접착된 상태를 도시하였으며, 또한 상기 인너리드(4)에 연장되어 형성된 댐바 및 아우터리드는 도시하지 않았다.

도시된 바와 같이 중앙에는 방열판(22) 상에 반도체칩이 지지 및 탑재될 수 있도록 대략 사각 모양의 공간부(2)가 구비되어 있고, 상기 공간부(2)의 둘레 외측으로는 다수의 인너리드(4)가 방사상으로 뻗어 위치되어 있다.



상기 다수의 인너리드(4) 폭은 차후 형성될 몸체의 아웃라인(10)(봉지재로 형성되는 몸체의 윤곽)쪽에서 상기 공간부(2)쪽으로 가까워짐에 따라 점차 넓게 형성되어 있고, 또한 상기 다수의 인너리드(4) 사이의 간격은 몸체의 아웃라인(10)쪽에서 공간부(2)쪽으로 가까워짐에 따라 점차 작게 형성되어 있다.

즉, 도2에 도시된 바와 같이 봉지재 주입시 봉지재가 용이하게 흘러가도록 즉, 그 유동성을 높게 유지하기 위해, 방열판(22) 상면에 위치되는 인너리드(4)의 폭은 넓게 간격은 좁게 형성하고, 방열판(22) 밖에 위치되는 인너리드(4)의 폭은 좁게, 간격은 넓게 형성함이 바람직하다.

이를 좀더 자세히 설명하면, 도2에서와 같이 인너리드(4)의 폭 p11과 인너리드(4)의 간격p12에서 처럼 방열판(22) 상면에서는 인너리드(4) 폭이 넓게 간격은 좁게, 방열판(22) 밖에서의 인너리드(4) 폭은 좁게 간격은 넓은 형태로 형성하며, 또한 이때 방열판(22) 상면에서 인너리드(4)의 ^약넓이는 리드프레임(100) 두께의 dir 70%보다는 크게 형성함으로써 봉지시 상기 인너리드(4)가 휘어지지 않고, 와이어 본딩을 용이하게 하며, 서로 쇼트되지 않도록 함이 바람직하다.

도면중 미설명 부호 8은 와이어본딩 공정중 도전성 와이어의 양호한 본딩을 위해 인너리드(4)의 끝단을 은도금하는 은도금라인이다.

한편, 상기 공간부(2)의 일측 모서리부분과 이에 대응하는 몸체 아웃라인(10)의 모서리 부분 사이에는 봉지재가 용이하게 주입되도록 인너리드(4) 또는 가타이바를 형성하지 않고, 대신 상기 인너리드(4)들 사이의 간격보다 더 큰 간격을 갖는 봉지재주입영역(12)을 별도로 형성함이 바람직하다. 즉, 상기 봉지재

주입영역(12)의 일단(몸체 아웃라인(10) 근처)은 차후 봉지공정에서 금형의 봉지재 주입구가 위치하게 되며, 상기 봉지재주입영역(12)을 통해 봉지재가 리드프레임(100)의 몸체 아웃라인(10) 내측 전체를 봉지하게 됨으로써, 봉지재의 유동성을 크게 해줄 필요가 있기 때문이다.

상기 봉지재주입영역(12)은 도3에 도시된 바와 같이 그 간격 또는 공간이 몸체 아웃라인(10)쪽에서 공간부(2)쪽으로 갈수록 점차 작아지게 형성되어 있다. 즉, 도3에서 상기 봉지재주입영역(12)의 일단을 게이트 입구로 타단을 게이트 출구로 구분하면, 게이트 입구의 간격 $g1$ 이 게이트 출구의 간격 $g2$ 보다 크게 되도록 함으로써, 봉지재의 주입시 그 봉지재가 보다 용이하게 흘러가도록 함이 바람직하다. 여기서 상기 간격 $g2$ 는 0.35mm 이내로 형성하고, 상기 간격 $g1$ 은 이보다 큰 0.7mm 이내로 형성함이 바람직하다. 또한 상기 봉지재주입영역(12)의 근방에 위치되는 인너리드(4)들 역시 전술한 대로 방열판(22) 상면에서는 인너리드(4) 폭이 넓게 간격은 좁게, 방열판(22) 밖에서의 인너리드(4) 폭은 좁게 간격은 넓은 형태로 형성하여 봉지재가 용이하게 흘러갈 수 있도록 한다.

이때 방열판(22)이 접착테이프(24)에 의해 접착되어 있는 인너리드(4) 사이의 간격 $p12$ 나 봉지재주입영역(12)의 간격 $g2$ 가 지나치게 넓게 형성되면 방열판(22)과 리드프레임(100)을 접착시키고 있는 접착테이프(24)의 단면적이 많이 노출되어 봉지 공정중에 그 접착테이프(24)에 구멍이 발생하거나 접착테이프(24)에 기포가 발생할 여지가 있으므로 주의해야 한다. 또한 상기와 같이 접착테이프(24)와 봉지재가 잘 결합하지 못하면 접착테이프(24)와 봉지재 사이에 계면박리 현상이 발생하

기도 함으로 역시 주의해야 한다. 이와 같은 현상을 억제하기 위해서는 상기 인너 리드(4) 사이의 간격 $p12$ 나 봉지재주입영역(12)의 간격 $g2$ 는 모두 0.35mm이내가 되도록 함이 가장 바람직하다.

한편, 상기 봉지재주입영역(12)을 제외한 공간부(2)의 나머지 모서리에서부터 몸체 아웃라인(10)까지는 가타이바(6)(통상적으로는 칩탑재판을 지지하는 것을 타이바라고 함)가 형성되어 있으며, 이 가타이바(6)의 폭은 리드프레임(100) 두께의 약 2배를 초과하지 않도록 함이 바람직하다. 또한 상기 가타이바(6)의 끝단(몸체의 아웃라인(10)에 가까운 영역)들은 봉지 공정시 봉지재의 주입에 의한 압축공기가 일측으로 빠져나가도록 하는 에어벤트영역(14)이 되기도 한다. 실제로 에어벤트는 금형에 형성되며, 상기 리드프레임(100)의 에어벤트영역(14)에 그것이 위치하게 된다.

도4에 도시된 바와 같이 상기 가타이바(6)의 끝단에는 간격 $g3, g4$ 를 최소 0.20mm이내가 되도록 형성하고, $g5$ 는 최소 0.15mm가 되도록 형성함이 바람직하다. 상기와 같이 함으로서 봉지 공정시 봉지재가 몸체 아웃라인(10)까지 용이하게 도달하고 또한 압축 공기가 용이하게 배출되기 때문이다. 또한, 상기 에어벤트영역(14)에 위치하는 어느 하나의 가타이바(6)에는 그것의 이탈을 방지하고, 리드프레임(100)의 제조 방식을 구별하기 위해 도5에서와 같이 대략 0.20mm이내의 홀(16)을 형성함이 바람직하다. 또한, 도5에 도시된 바와 $v1, v2$ 의 최소 간격은 0.20mm, 간격 $v3$ 및 폭 $v4$ 의 최소거리는 각각 0.15mm이내로 함이 바람직하다.

한편, 도6a 및 도6b는 본 발명에 의한 반도체패키지(200)에 사용된

방열판(22)의 제조 상태를 도시한 상태도이다.

도시된 바와 같이 직사각형 모양으로 두께 약 0.5mm 정도의 금속재 스트립(40)을 한번의 스탬핑 공정에 의해 사각띠 모양의 관통공(42)을 형성함으로써 사각 모양의 방열판(22)을 형성한다. 이와 같이 한번의 스탬핑 작업으로 형성 가능한 이유는 금속재 스트립(40)의 두께가 종래에 비해 얇기 때문이다.

이때, 상기 방열판(22)에는 스탬핑에 의해 도6b에 도시된 바와 같이 하부를 향하여 버(22a)가 발생하게 된다. 상기 버(22a)는 반도체패키지(200) 제조 작업중에 그 버(22a)가 형성된 면의 반대면에 리드프레임(100)의 인너리드(4)가 접촉되도록 함으로써, 인너리드(4)의 쇼트나 접착테이프(24)의 찢어짐을 예방하도록 한다. 한편, 상기 방열판(22)의 표면에는 차후 봉지재와의 접착력이 향상되도록 한번의 흑화처리를 함이 바람직하다.

도7은 본 발명에 의한 방열판(22)이 부착된 반도체패키지(200)를 도시한 단면도이다.

여기서 상기 반도체패키지(200)에 이용된 리드프레임(100) 및 방열판(22)은 전술한 바와 같은 리드프레임(100) 및 방열판(22)을 이용한 것이다.

도시된 바와 같이, 일정 두께 바람직하기로 대략 0.5mm의 두께를 갖는 사각 판상의 방열판(22)이 중앙에 위치되어 있고, 상기 방열판(22)의 상면 중앙에는 비전도성 접착제(26)로 반도체칩(28)이 접착되어 있다. 상기 방열판(22)의 하면에는 제조 공정중 발생한 버(22a)가 형성되어 있으며, 이는 항상 반도체칩(28)의 접착 영역 또는 리드프레임(100)의 접착 영역 반대면에 위치하도록 방열판(22)을 위치시

켜, 리드프레임(100)의 인너리드(4) 쇼트 및 접촉테이프(24)의 찢어짐 현상을 억제하도록 한다. 한편, 상기 반도체칩(28)의 외주연인 방열판(22) 상에는 비전도성 접촉테이프(24)가 개재되어 접촉되어 있되, 상기 반도체칩(28)에 가까워짐에 따라 폭은 넓게, 간격은 작게 형성된 다수의 인너리드(4)가 위치되어 있다. 상기 인너리드(4)에 연장되어서는 외부의 마더보드 등에 실장되는 아우터리드(7)가 형성되어 있다. 상기 반도체칩(28)과 인너리드(4)는 도전성 와이어(30) 바람직하기로는 골드와이어로 연결되어 있으며, 상기 방열판(22), 반도체칩(28), 인너리드(4) 및 도전성 와이어(30) 전체는 봉지재로 봉지되어 소정 형상의 몸체(32)를 형성하고 있다.

상기와 같은 반도체패키지(200)에서 방열판(22)의 두께에 따른 열방출률을 지시하는 θ_{JA} ($^{\circ}\text{C}/\text{W}$)의 실험 결과는 표1과 같다.

【표 1】

방열판 두께(mm)	θ_{JA} ($^{\circ}\text{C}/\text{W}$)
0.1	14.77
0.2	12.99
0.3	12.28
0.4	11.89
0.5	11.64
0.6	11.47
0.7	11.35
0.8	11.25
0.9	11.17
1.0	11.11

208리드, 28×28mm MQFP에서 방열판(22)의 두께에 따른 θ_{JA} ($^{\circ}\text{C}/\text{W}$)의 변화치

상기와 같이 방열판(22)의 두께가 0.1mm에서 0.5mm에 이르기까지 θ_{JA} ($^{\circ}\text{C}/\text{W}$)

의 값이 현저하게 작아졌으나, 방열판(22)의 두께가 0.5mm 이상에서는 $\Theta_{JA} (^{\circ}\text{C}/\text{W})$ 의 값이 둔화하여 변화됨을 알 수 있다.

또한, 봉지 실험 결과 방열판(22)의 두께가 1.0mm 이상 보다 크면(상기 방열판은 여전히 몸체내에 위치함) 반도체패키지(200)의 바닥면 중심에 보이드가 발생하며, 1.0mm 보다 작은 경우에는 봉지재가 주입되는 봉지재주입영역(12)의 반대편 가장자리로부터 반도체패키지(200)의 바닥면에 홀이 생기며 두께가 0.50mm에 가까워졌을 때 보이드가 거의 발생하지 않음을 확인할 수 있었다.

상기와 같이 하여 본 발명에 의한 리드프레임에 의하면, 방열판 상면에 위치되는 인너리드의 폭은 넓게 간격은 좁게 형성하고, 방열판 밖에 위치되는 인너리드의 폭은 좁게, 간격은 넓게 형성하며, 또한 상기 인너리드의 폭보다 더 큰 폭을 갖는 별도의 봉지재주입영역을 형성함으로써, 봉지재의 유동성을 크게 해주어 결과적으로 몸체 아웃라인 내측 전체를 용이하게 봉지하게 되어 결국 보이드나 계면박리 현상 등을 억제하게 된다.

또한, 본 발명의 반도체패키지에 이용된 방열판은 그 두께가 종래에 비해 얇음으로써 한번의 스탬핑 공정 및 한번의 흑화처리만으로 제조되어, 그 제조가 비교적 간단하고, 더불어 반도체패키지의 제조 공정도 간단해진다.

또한, 방열판의 두께가 종래에 비해 얇고 그 무게가 작아서, 제조 공정중 상기 방열판의 상면에 접착되는 인너리드의 휨 현상이 발생하지 않으며, 봉지재로 형성되는 몸체내에 방열판이 위치됨에도 불구하고 최적의 방열판 두께(약 0.5mm)를 제공함으로써 종래와 같은 열방출 효율이 유지된다.

이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주와 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

【발명의 효과】

상기와 같이 하여 본 발명에 의한 리드프레임 및 이를 이용한 방열판이 부착된 반도체패키지는 제조 공정에 있어서 리드프레임의 인너리드 폭 및 인너리드 사이의 간격이 적절히 조절됨으로써 봉지공정시 봉지재의 유동성을 양호하게 하여 보이드 및 계면박리 현상을 제거할 수 있는 효과가 있다.

또한, 방열판은 한번의 스탬핑 및 한번의 흑화처리만을 하여 제조 함으로써 그 제조 공정이 간단하고 이에 따라 반도체패키지의 제조 공정도 간단해지는 효과가 있다.

또한, 방열판의 두께가 종래에 비해 얇고 그 무게가 작아서, 상기 방열판의 상면에 접촉되는 인너리드의 휨 현상이 발생하지 않으며, 또한 그 방열판이 몸체내에 위치함에도 불구하고, 상기 실험치에서 알 수 있는 바와 같이 열방출 효율은 종래와 같이 그대로 유지되는 효과가 있다.

【특허청구범위】

【청구항 1】

반도체칩이 위치되도록 중앙에는 대략 사각 형태의 공간부가 구비되고, 상기 공간부의 둘레와 대략 사각의 몸체 아웃라인 내측에는 다수의 인너리드가 방사상으로 뻗어 위치된 리드프레임에 있어서,

상기 인너리드의 폭은 몸체 아웃라인쪽에서 공간부쪽으로 가까워짐에 따라 점차 넓게 형성되고, 상기 다수의 인너리드 사이의 간격은 몸체 아웃라인쪽에서 공간부쪽으로 가까워짐에 따라 점차 작게 형성되며, 상기 공간부의 일측 모서리부분과 이에 대응하는 몸체 아웃라인의 모서리 부분 사이에는 봉지재가 용이하게 주입되도록 상기 인너리드 사이의 간격보다 더 큰 간격을 갖는 봉지재주입영역이 형성된 것을 특징으로 하는 리드프레임.

【청구항 2】

제1항에 있어서, 상기 봉지재주입영역은 봉지재가 용이하게 주입될 수 있도록 그 간격이 몸체 아웃라인쪽에서 공간부쪽으로 갈수록 점차 작아지게 형성된 것을 특징으로 하는 리드프레임.

【청구항 3】

일정 두께를 갖는 대략 사각판상의 방열판과;

상기 방열판 상면 중앙에 접착제로 접착된 반도체칩과;

상기 반도체칩의 외주연인 방열판 상에 접착테이프로 접착되어 있되, 상기 반도체칩에 가까워짐에 따라 폭은 넓게, 간격은 작게 형성되어 접착된 다수의 인너

리드 및 이에 연장된 아우터리드와;

상기 반도체칩과 인너리드를 연결하는 도전성 와이어와;

상기 방열판, 반도체칩, 인너리드 및 도전성 와이어를 봉지재로 봉지하여 형성된 몸체를 포함하여 이루어진 것을 특징으로 하는 반도체패키지.

【청구항 4】

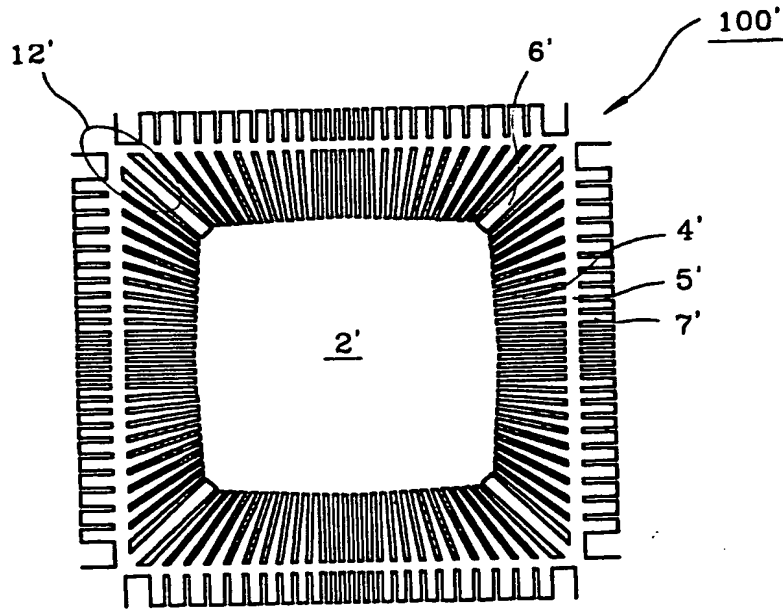
제2항에 있어서, 상기 방열판은 그 두께가 대략 0.3~1mm인 것을 특징으로 하는 반도체패키지.

【청구항 5】

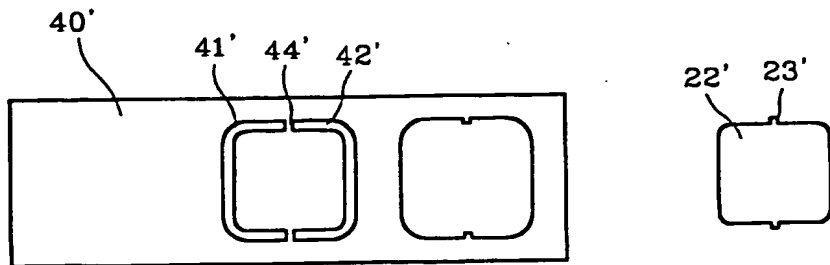
제2항에 있어서, 상기 방열판은 그 표면이 흑화처리된 것을 특징으로 하는 반도체패키지.

【도면】

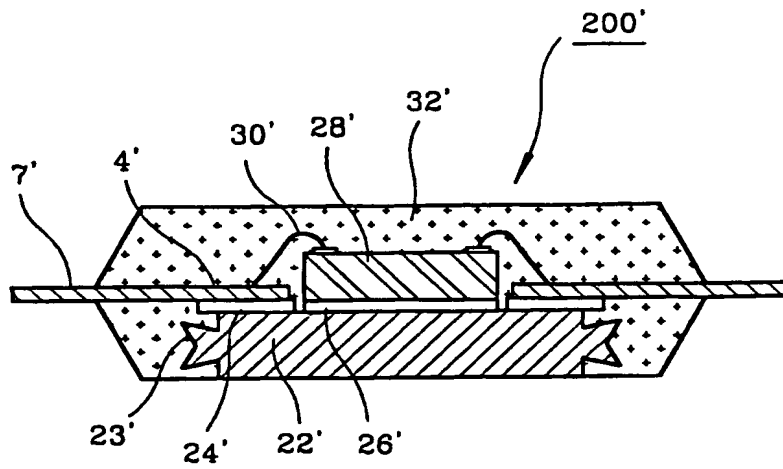
【도 1a】



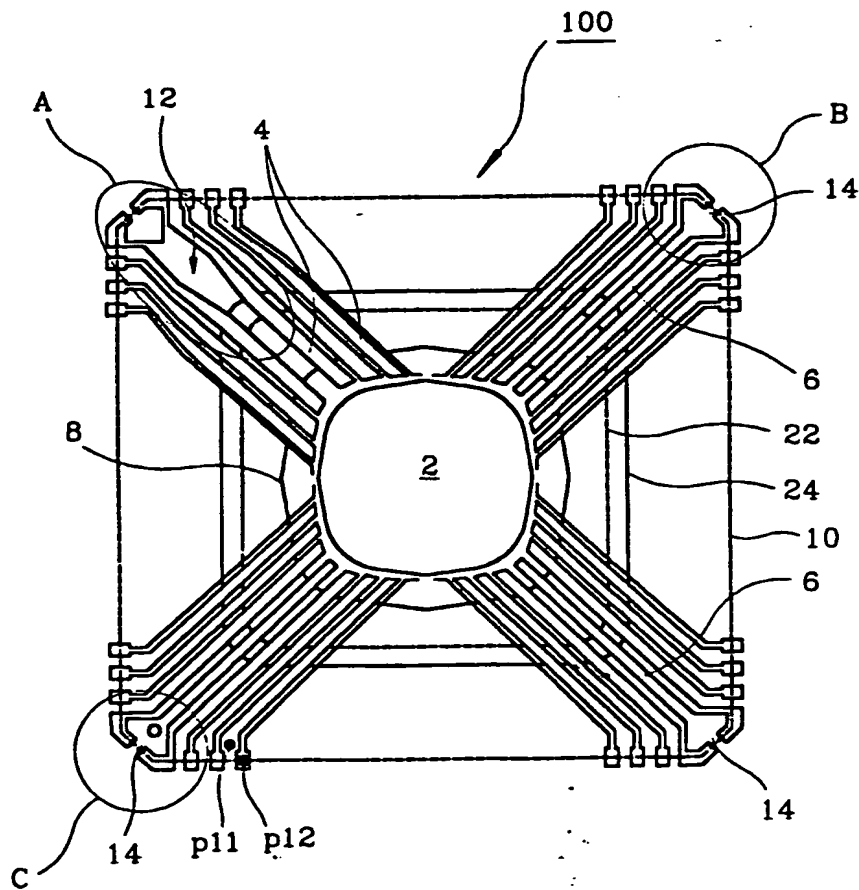
【도 1b】



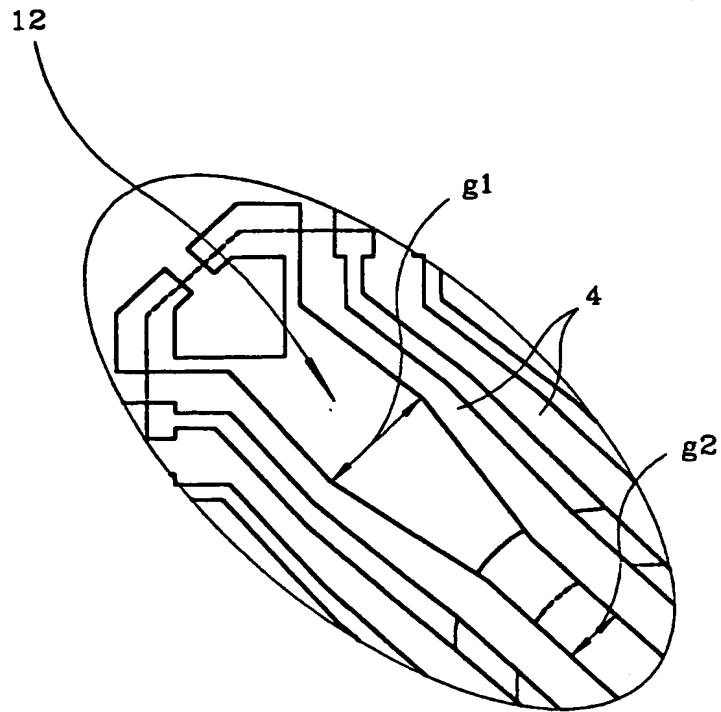
【도 1c】



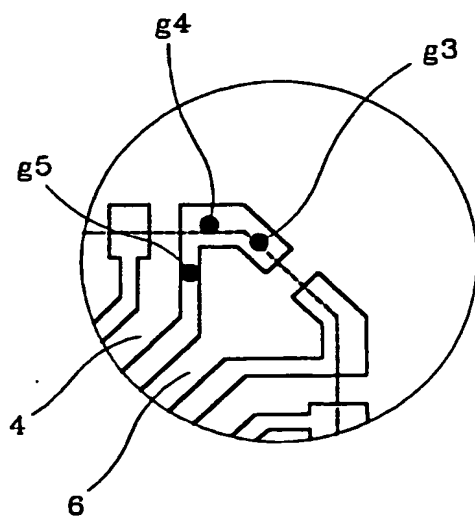
【도 2】



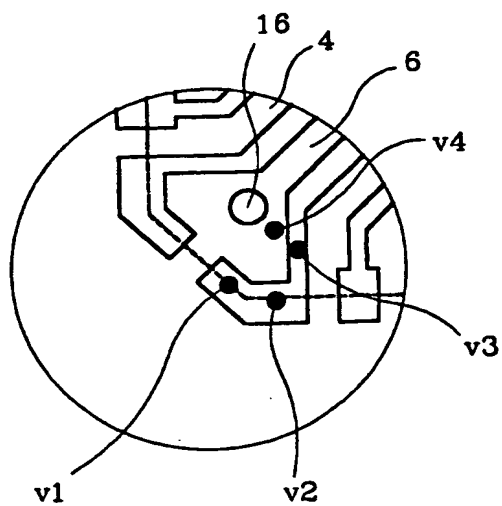
【도 3】



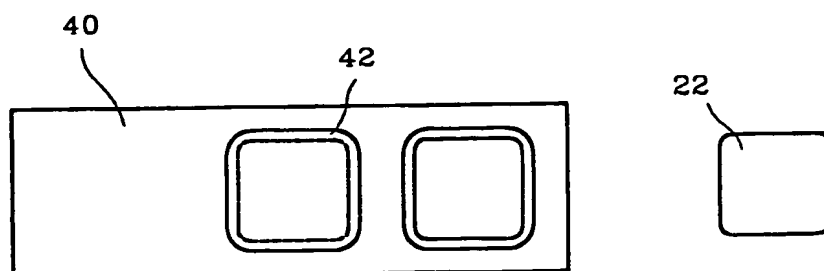
【도 4】



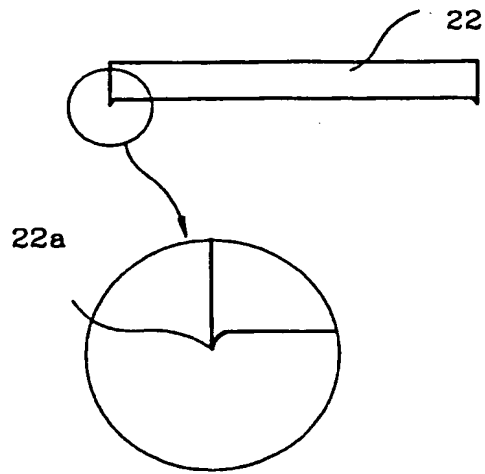
【도 5】



【도 6a】



【도 6b】



【도 7】

